

English Abstract attached.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-325753

(43)Date of publication of application : 12.12.1995

(51)Int.Cl.

G06F 12/04
G09G 5/00

(21)Application number : 06-118247

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 31.05.1994

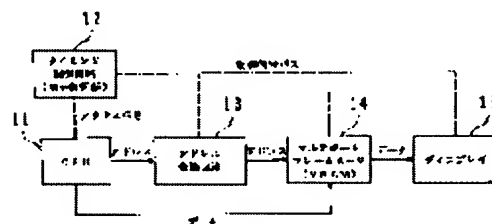
(72)Inventor : MORIAI SHINSUKE
HORI HIROSHI

(54) DISPLAY CONTROLLER AND MULTI-PORT FRAME MEMORY

(57)Abstract:

PURPOSE: To easily turn and change the screen display direction or a display.

CONSTITUTION: The image data to be written in a RAM included in a multiport VRAM 14 are turned and stored. For this purpose, an access address set to the VRAM 14 is changed by an address conversion circuit 13. Then the display pixel data are successively outputted to a display 15 from the RAM via a SAM. Thus it is possible to easily change the screen display direction with hardware by changing the access address set to the VRAM 14 by means of the circuit 13.



LEGAL STATUS

[Date of request for examination] 24.05.2001

[Date of sending the examiner's decision of rejection] 04.11.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-325753

(43) 公開日 平成7年(1995)12月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/04	5 1 0 F	7608-5B		
G 0 9 G 5/00	5 5 5 K	0550-5G		

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平6-118247

(22) 出願日 平成6年(1994)5月31日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 盛合 真介

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 堀井 洋

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

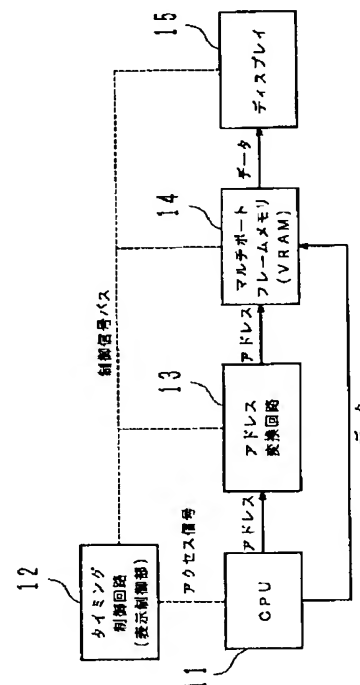
(74) 代理人 弁理士 樋口 武尚

(54) 【発明の名称】 表示制御装置及びマルチポートフレームメモリ

(57) 【要約】

【目的】 ディスプレイの画面表示方向を容易に回転変更できること。

【構成】 マルチポートVRAM中のRAM75に書き込む画像データを、マルチポートVRAMに対するアクセスアドレスをアドレス変換回路13で変更することにより、画像データを回転させて格納しておき、そのRAM75からSAM76を介してディスプレイ15に順次表示画素データを出力する。これにより、マルチポートVRAMに対するアクセスアドレスをアドレス変換回路13で変更することにより、ハードウェアで画面表示方向を容易に変更できる。



【特許請求の範囲】

【請求項 1】 画素データを格納するマルチポートフレームメモリを用い、そのシリアルアクセスメモリからディスプレイに順次表示画素データを出力する表示制御装置において、マルチポートフレームメモリ中のランダムアクセスメモリに書き込む画像データを、前記マルチポートフレームメモリに対するアクセスアドレスを変更することにより、前記画像データを回転させて格納するアドレス変換回路を具備することを特徴とする表示制御装置。

【請求項 2】 前記アドレス変換回路を制御して、複数の回転角度のモードを設定するモード選択回路を具備することを特徴とする請求項 1 に記載の表示制御装置。

【請求項 3】 前記アドレス変換回路で回転する基準点を任意に設定することができる請求項 1 または請求項 2 に記載の表示制御装置。

【請求項 4】 前記マルチポートフレームメモリは、1 チップからなることを特徴とする請求項 1 乃至請求項 3 の何れか 1 つに記載の表示制御装置。

【請求項 5】 フレーム単位で順次格納するランダムアクセスメモリと、前記ランダムアクセスメモリからフレーム単位で読み出して格納した信号をシリアル信号として出力するシリアルアクセスメモリを有するマルチポートフレームメモリにおいて、前記ランダムアクセスメモリに格納した画像データが、シリアルアクセスメモリの両方向にシフト自在とするシフト手段を具備することを特徴とするマルチポートフレームメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マルチポートフレームメモリ（マルチポートVRAM）を用いてビットマップデータをディスプレイに表示する表示制御装置及びマルチポートフレームメモリに関するものである。

【0002】

【従来の技術】現在、マルチポートフレームメモリ（マルチポートVRAM）は、パーソナルコンピュータやワードプロセッサ等のシステムにおいて、ビットマップイメージをディスプレイに表示するメモリとして使用されている。

【0003】図 17 は従来のマルチポートVRAMを使用した表示制御装置の構成を示す全体ブロック図、図 18 は従来のマルチポートVRAMの内部回路構成を示すブロック図である。

【0004】図 17 において、11 はマイクロコンピュータ（CPU）であり、ディスプレイ 15 に描画するイメージデータをマルチポートVRAM 14 に読み書きするためのリード、ライト命令を出力する。12 はタイミング制御回路であり、マルチポートVRAM 14 のランダムアクセスメモリ（RAM）に対し、所定のタイミン

グでリード、ライトサイクルを実行し、スクリーンリフレッシュ時の転送サイクルを発生させ、ディスプレイ 15 の表示制御部として機能し、マイクロコンピュータ 11、マルチポートVRAM 14、ディスプレイ 15 に対して、表示クロックや水平同期、垂直同期信号等の制御信号を出力する。

【0005】マルチポートVRAM 70 は、図 18 に示すように、主に、ランダムアクセス可能なダイナミック（RAM）75 と、シリアルアクセスメモリ（SAM）76 と、それを制御するタイミングジェネレータ 72 等で構成され、他に、ランダムポートからの信号を一時的に蓄積するデータバッファ 71、アクセス信号を受けて各タイミング信号を発生させるタイミングジェネレータ 72、アドレスポートからの信号を一時的に蓄積するカラムアドレスバッファ 79、ローアドレスバッファ 80、カラムアドレスバッファ 79 の信号をデコードするカラムデコーダ 73、ローアドレスバッファ 80 の信号をデコードするローデコーダ 74、SAM 76 のデータをシリアルセクタ 77 を介してシリアルポートに順次出力させるシリアルアドレスアップカウンタ 78 1 を有している。

【0006】次に、従来のマルチポートVRAMを使用した表示制御装置の動作について説明する。

【0007】このマルチポートVRAM 70 を用いてディスプレイ 15 に表示する場合、マルチポートVRAM 70 のRAM 75 にビットマップイメージの画素データを書き込み、水平ブランク期間を利用して、スクリーンリフレッシュ制御によりRAM 75 からSAM 76 に、1 水平走査ライン分の画素データを転送する。その後、順次、SAM 76 のシフトレジスタ機能を利用して、1 画素づつ画素データをディスプレイ 15 に送出する。そして、1 水平走査ラインが終了したとき、次の水平走査ラインの画素データをRAM 75 からSAM 76 に転送し、同様にディスプレイ 15 に順次出力し、それを表示する。

【0008】

【発明が解決しようとする課題】近年、薄型で軽量のノートパソコンやノートワープロ、電子手帳等の携帯型コンピュータが広く使用されるようになり、それらのコンピュータを介して顧客に対する商品や企画のプレゼンテーションが行われている。

【0009】しかし、前述した従来のシステムでは、特定方向からの表示を前提として設計されているので、プレゼンテーション等を行う場合には、プレゼンテーションされる側にディスプレイを向けて操作することになる。プレゼンテーションする側からみれば、ディスプレイの操作は難しく、対話的なプレゼンテーションができない。一方、液晶ディスプレイは、ディスプレイを立てた状態で使用することを前提に設計されているので、画面下方向からの視野特性が悪い。ペン型パソコン等の手

書システムに応用した場合、画面が見難くなったり、正しい色が表現されない等の実用上の妨げがあった。

【0010】これらを解決するために、ディスプレイを上下反転させて接続する等の対策がとられている。しかし、ディスプレイの表示走査方向は変更することができないから、各画素の位置座標を回転後の位置座標に移動させるソフトウェアによる計算が必要となる。この各画素の位置の回転座標計算は画面サイズや解像度が大きくなればなるほど多くなり、ソフトウェアによる付加が増大する。

【0011】そこで、本発明は、マルチポートVRAMを用いてハードウェアで画面表示方向を容易に変更できる表示制御装置及びそのマルチポートVRAMを提供することを課題とするものである。

【0012】

【課題を解決するための手段】請求項1にかかる表示制御装置は、画素データを格納するマルチポートフレームメモリを用い、そのシリアルアクセスメモリからディスプレイに順次表示画素データを出力する表示制御装置において、マルチポートフレームメモリ中のランダムアクセスメモリに書き込む画像データを、前記マルチポートフレームメモリに対するアクセスアドレスを変更することにより、前記画像データを回転させて格納するアドレス変換回路を具備する。

【0013】請求項2にかかる表示制御装置は、請求項1の構成に対して、更に、前記アドレス変換回路を制御して、複数の回転角度のモードを設定するモード選択回路を具備する。

【0014】請求項3にかかる表示制御装置は、前記請求項1または請求項2に記載のアドレス変換回路で回転する基準点を任意に設定することができる。

【0015】請求項4にかかる表示制御装置は、前記マルチポートフレームメモリが1チップからなることを特徴とする。

【0016】請求項5にかかるマルチポートフレームメモリは、フレーム単位で順次格納するランダムアクセスメモリと、前記ランダムアクセスメモリからフレーム単位で読み出して格納した信号をシリアル信号として出力するシリアルアクセスメモリを有するマルチポートフレームメモリにおいて、前記ランダムアクセスメモリに格納した画像データが、シリアルアクセスメモリの両方向にシフト自在とするシフト手段を具備するものである。

【0017】

【作用】請求項1においては、マルチポートフレームメモリ中のランダムアクセスメモリに書き込む画像データを、前記マルチポートフレームメモリに対するアクセスアドレスを変更することにより、前記画像データを回転させて格納しておき、そのマルチポートフレームメモリからシリアルアクセスメモリを介してディスプレイに順次表示画素データを出力する。

【0018】請求項2においては、請求項1の構成に対して、更に、モード選択回路を付加し、モード選択回路によってアドレス変換回路を制御して、複数の回転角度のモードを設定する。

【0019】請求項3においては、請求項1または請求項2に記載のアドレス変換回路で回転する基準点を任意に設定することができる。

【0020】請求項4においては、マルチポートフレームメモリを1チップで構成したものである。

10 【0021】請求項5においては、ランダムアクセスメモリとシリアルアクセスメモリを有するマルチポートフレームメモリにおいて、ランダムアクセスメモリに書き込んだ画像データが、シリアルアクセスメモリの両方向にシフト自在とし、シリアル信号に変換する際にも画像データの回転を補うことができる。

【0022】

【実施例】以下に、本発明の表示制御装置及びマルチポートフレームメモリの実施例について説明する。図中、従来例と同一符号及び記号は従来例の構成部分と同一または相当する構成部分を示すものであるから、ここでは重複する説明を省略する。

【0023】図1は本発明の第一実施例の表示制御装置の全体構成を示すブロック図で、図2は本発明の第一実施例の表示制御装置で使用するアドレス変換回路の全体構成を示すブロック図である。なお、マルチポートVRAMの内部回路構成は、図18の従来例で説明した内部回路構成と相違するものではないので、ここでは、その説明を省略する。

【0024】図1において、11はマイクロコンピュータ（CPU）であり、ディスプレイ15に描画するイメージデータを1チップで構成したマルチポートVRAM14に読み書きするためのリード、ライト命令を出力する。12はタイミング制御回路であり、マルチポートVRAM14のランダムアクセスメモリ（RAM）に対し、所定のタイミングでリード、ライトサイクルを実行し、スクリーンリフレッシュ時の転送サイクルを発生させ、ディスプレイ15の表示制御部として機能し、マイクロコンピュータ11、タイミング制御回路12、アドレス変換回路13、マルチポートVRAM14、ディスプレイ15に対して、表示クロックや水平同期、垂直同期信号等の制御信号を出力する。13は本実施例の主要部のアドレス変換回路であり、図2に示すように、主に、アドレス変換部、モード選択部、セクタ部等から構成されている。

【0025】したがって、CPU11から出力された画素データは、アドレス変換回路13でアドレスを変換され、マルチポートVRAM14の適切な位置に格納され、シリアルアクセスメモリを通してディスプレイ15に送られ、表示される。

50 【0026】図2において、本実施例の主要部のアドレ

ス変換回路13は、モード選択回路38、ロー用アドレス変換回路13A及びカラム用アドレス変換回路13B、スクリーンリフレッシュ用アップカウンタ311、アドレス出力用セクタ39で構成されている。ロー用アドレス変換回路13Aはロー用引き数レジスタ32、ロー用アドレス引算回路33、ロー用セクタ34から構成されている。また、カラム用アドレス変換回路13Bはカラム用引き数レジスタ35、カラム用アドレス引算回路36、カラム用セクタ37から構成されている。

【0027】次に、本発明の実施例の表示制御装置の動作について、図3乃至図16を用いて説明する。

【0028】まず、本発明の実施例の表示制御装置により180度回転処理を行う事例を説明する。

【0029】図3は本発明の第一実施例の表示制御装置における6×4ディスプレイの画素配列例を示す説明図、また、図4は本発明の第一実施例の表示制御装置におけるマルチポートVRAMに格納した画素配列例を示す説明図で、図5は本発明の第一実施例の表示制御装置におけるマルチポートVRAMに格納した180度回転した画素配列例を示す説明図である。

【0030】今、仮に、ディスプレイの画面構成を図3に示すように6×4画素と仮定する。通常の表示では、第1水平ラインでは、0000、0001、・・・という順序にドットクロックに同期してディスプレイ15に供給される。そして、次の水平ラインでは、0100、0101、・・・という順序に供給され、4水平ラインを1周期として繰り返される。

【0031】今、16×16のDRAMマトリクスをもつマルチポートVRAM75に、図3の画素データを格納すると、図4に示すような記録状態になる。

【0032】図4に示す画素データの格納状態では、図3の通常の表示状態と同様に、第1水平ラインでは、0000、0001、・・・という順序に、次の水平ラインでは、0100、0101、・・・という順序に格納され、また、転送サイクルによって得られたSAM76には、0000、0001、0002、・・・、0005が格納される。

【0033】しかし、図4のSAM76の記録状態では、SAM76から180度回転したイメージを直接出力することができない。

【0034】そこで、DRAMマトリクス上の配列を図5のようにする。

【0035】即ち、この場合、転送サイクルによって得られたSAM76上には、0305、0304、0303、・・・、0300と最下位水平走査ラインの画素データが逆順に並べられ、SAM76から順次取り出すことが可能となる。

【0036】このような処理は、図1及び図2のアドレス変換回路13で実現できる。

【0037】180度回転表示の場合、CPU11では、モード選択回路38に回転表示モード“180度回転”を設定し、モード選択回路38はロー用引き数レジスタ32に、垂直ライン数“3”を、カラム用引き数レジスタ35には、水平ライン数“5”を設定する。

【0038】即ち、原点“0000”は、回転後の基準点“0305”に移動するために、ロー用引き数レジスタ32に、垂直ライン数“3”を、カラム用引き数レジスタ35には、水平ライン数“5”を設定する。これにより、ロー用アドレス引算回路33、カラム用アドレス引算回路36において、CPU11からのアドレスはそれぞれのロー用引き数レジスタ値から垂直ライン数“3”またはカラム用引き数レジスタ値から水平ライン数“5”から減算される。即ち、原点“0000”のローアドレス“00”は“03”に、カラムアドレス“00”は“05”に変換される。

【0039】このように、モード選択回路38に設定されたモードにより、ロー用セクタ34、カラム用セクタ37でアドレスが選択され出力され、例示したように、ロー用引き数レジスタ32、カラム用引き数レジスタ35は、回転の基準点を設定するものである。このロー用セクタ34、カラム用セクタ37の値を任意に設定できるようにすることにより、回転の基準点を任意に設定することができる。

【0040】当然ながら、90度回転にも応用することができる。

【0041】図6は本発明の第一実施例の表示制御装置におけるマルチポートVRAMに格納した左90度回転した画素配列例を示す説明図である。

【0042】この実施例には、画素“0005”は“0000”、また、画素“0105”は“0001”の位置になるようにアドレス変換する必要がある。

【0043】そこで、CPU11はモード選択回路38に回転表示モード“左90度回転”を設定する。これにより、モード選択回路38はカラム用引き数レジスタ35に“5”を設定する。サンプル画素“0105”のカラムアドレス“05”は、引き算され“00”が導き出される。この結果を、ロー用セクタ34でVRAMのローアドレスとして選択する。一方、サンプル点“0105”のローアドレスは、そのままカラム用セクタ37において、VRAMのカラムアドレスとして選択される。したがって、画素“0105”は“0001”となる。

【0044】即ち、左90度回転の場合、CPU11からのローアドレスは、そのままVRAM14のカラムアドレスになり、カラムアドレスはアドレス変換してVRAMのローアドレスになるように設定する。

【0045】なお、右90度回転の場合、CPU11からのローアドレスは、アドレス変換してVRAMのカラムアドレスになり、カラムアドレスは、そのままVRAM

Mのローアドレスになるように設定すればよい。

【0046】また、本実施例のこのルールは、ディスプレイ15の画素配列、分割画面数、1画素単位のビット数、マルチポートVRAMのDRAMマトリクスの大きさが変化しても、一般性を失わない。

【0047】そして、マルチポートVRAMのバス幅が変化した場合においても、各画素のアドレスをワードのアドレスと見なして演算すれば、何ら一般性を失わず適応できる。

【0048】本実施例の表示制御装置においては、マルチポートVRAM中のRAM75に書き込む画像データを、前記マルチポートVRAMに対するアクセスアドレスをロー用アドレス変換回路13A及びカラム用アドレス変換回路13Bからなるアドレス変換回路13で変更することにより、前記画像データを回転させて格納しておき、そのマルチポートVRAMからSAM76を介してディスプレイ15に順次表示画素データを出力するものであり、これを請求項1の実施例とすることができる。

【0049】これによって、回転後の画素データの一つのシリアルアクセスメモリに順序よく格納し、それを送り出すものであり、マルチポートVRAMのRAMアクセスに対し、アドレスの変換処理を行い、所定の位置に画素データを格納するものである。したがって、マルチポートVRAMに対するアクセスアドレスをロー用アドレス変換回路13A及びカラム用アドレス変換回路13Bからなるアドレス変換回路13で変更することにより、ハードウェアで画面表示方向を容易に変更できる。また、マルチポートVRAMに並べ換え用のフレームメモリを用意する必要がないので、装置が廉価となる。

【0050】また、本実施例の表示制御装置においては、マルチポートVRAM中のRAM75に書き込む画像データを、前記マルチポートVRAMに対するアクセスアドレスをロー用アドレス変換回路13A及びカラム用アドレス変換回路13Bからなるアドレス変換回路13で変更することにより、前記画像データを回転させて格納しておき、そのマルチポートVRAMからSAM76を介してディスプレイ15に順次表示画素データを出力する構成に対して、更に、モード選択回路38を付加し、モード選択回路38によってロー用アドレス変換回路13A及びカラム用アドレス変換回路13Bからなるアドレス変換回路13を制御して、複数の回転角度のモードを設定するものであり、これを請求項2の実施例とすることができる。これにより、回転表示するモード情報をモード選択回路38に設定し、そのモードに応じてマルチポートVRAMへのアクセスアドレスを変換することにより、1水平走査ライン分の回転後の画素データを連続してシリアルアクセスメモリに格納することができる。故に、上下左右各方向の表示出力を可能となる。特に、90度の回転、180度の回転、270度の回転

等の回転がモードの設定のみで容易になる。

【0051】そして、本実施例の表示制御装置においては、請求項2または請求項3に記載のロー用アドレス変換回路13A及びカラム用アドレス変換回路13Bからなるアドレス変換回路13で画素の位置を変更するものであり、これを請求項3の実施例とすることができ、回転する基準点を任意に設定することができる。

【0052】更に、本実施例の表示制御装置においては、マルチポートVRAMを1チップで構成したものであり、これを請求項4の実施例とすることができ、標準化が可能となる。

【0053】図7は本発明の第一実施例の表示制御装置における32ビットバスアクセス時の画素配列例を示す説明図である。図8は本発明の第一実施例の表示制御装置における32ビットバスの標準（従来）時の画素配列例を示す説明図であり、本発明の実施例と従来例との比較を行なうものである。また、図9は本発明の第一実施例の表示制御装置における32ビットバスの画素配列例を示す説明図、図10は本発明の第一実施例の表示制御装置における32ビットバスの標準（従来）時のディスプレイ画面の表示例を示す説明図、図11は本発明の第一実施例の表示制御装置における32ビットバスの180度回転時のディスプレイ画面の表示例を示す説明図、図12は本発明の第一実施例の表示制御装置における32ビットバスの180度回転アドレス変換のみを行った画素配列例を示す説明図である。そして、図13は本発明の第一実施例の表示制御装置における32ビットバスの標準（従来）時のシリアルアクセスのタイミングを示す説明図、図14は本発明の第一実施例の表示制御装置における32ビットバスの180度回転時のシリアルアクセスのタイミングを示す説明図である。

【0054】まず、1画素が8ビット、バス幅が32ビットのタイミング例を図7を用いて説明する。

【0055】マルチポートVRAMの1ワードアドレス上には、4画素の表示データがあり、標準（従来）時は図8に示すように画素が格納されている。これを32ビットバスの標準時のディスプレイ画面の表示は図10のようになる。

【0056】即ち、1水平ラインでは、0000, 0001, ..., 0007という順序に、次の水平ラインでは、0100, 0101, ..., 0107という順序に表示される。ところが、マルチポートVRAMの1ワードアドレス上には4画素の表示データが0000, 0001, ..., 0003, 0004, 0005, ..., 0007と格納されている。したがって、タイミング制御回路12によってマルチポートVRAMの4画素の表示データは、図13のシリアルアクセスタイミングでシリアルクロックパルスSCK0, SCK1, SCK2, SCK3の時系列で、読み出しクロックパルスを発生させ、マルチポートVRAMの4画素のシリアル表

示データを得る。

【0057】これを本実施例のアドレス変換回路13を用いて180度回転した場合、マルチポートVRAMの4画素の表示データは図9のように格納される。これを32ビットバスの180度回転した場合のディスプレイ画面の表示は図11のようになる。

【0058】即ち、1水平ラインでは、0307, 0306, ..., 0300という順序に、次の水平ラインでは、0207, 0206, ..., 0200という順序に表示される必要がある。したがって、このとき、タイミング制御回路12によってマルチポートVRAMの4画素の表示データは、図14のシリアルアクセスタイミングでシリアルクロックパルスSCK3, SCK2, SCK1, SCK0の時系列で、読み出しクロックパルスを発生させ、マルチポートVRAMの4画素のシリアル表示データを得る。

【0059】図に、図13のシリアルアクセスタイミングでシリアルクロックパルスSCK0, SCK1, SCK2, SCK3の時系列で、読み出しクロックパルスを発生させ、マルチポートVRAMの4画素のシリアル表示データを得ると、図12のようになり、期待しない出力結果となる。したがって、これを解決するために、タイミング制御回路12において図14のようなマルチポートVRAMのシリアルアクセス信号を発生させ、回転後の画素データを順序良くディスプレイ15に送り表示する。

【0060】このように、本実施例の表示制御装置は、モード選択回路38に設定されたモードにより、ロー用セクタ34、カラム用セクタ37でアドレスが選択され出力され、ロー用引き数レジスタ32、カラム用引き数レジスタ35に回転の基準点を設定する。このロー用セクタ34、カラム用セクタ37の値を任意に設定でき、結果的に、回転の基準点を任意に設定することができる。

【0061】図15は本発明の第二実施例の表示制御装置で使用するアドレス変換回路の全体構成を示すブロック図である。図中、図2に示す第一実施例と同一符号及び記号は第一実施例の構成部分と同一または相当する構成部分を示すものであるから、ここでは重複する説明を省略する。

【0062】図15に示すように、スクリーンリフレッシュ用アップダウンカウンタ312を制御することにより、水平ライン単位の逆順転送制御が可能となる。この実施例の場合、ロー用アドレス演算回路13Aを必要としないので、回路構成が簡単化でき、価格的にも廉価となる。

【0063】図16は本発明の第三実施例の表示制御装置で使用するマルチポートVRAMの内部回路構成を示すブロック図である。図中、図18に示す従来例と同一符号及び記号は従来例の構成部分と同一または相当する

構成部分を示すものであるから、ここでは重複する説明を省略する。

【0064】図16においては、アドレス変換回路13をマルチポートVRAM14の回路構成中に備えたものである。図16に示す実施例としては、双方向シフト可能なシリアルアクセスメモリを有するマルチポートVRAM14の例を挙げる。

【0065】このマルチポートVRAM14を用いた場合、第二実施例で使用したスクリーンリフレッシュ用カウンタ312としてシリアルアドレスアップ/ダウンカウンタ782を用意すれば、アドレス変換回路13を用意しないで回転表示が可能となる。

【0066】このように、本実施例のフレーム単位で順次格納するRAM75と、RAM75からフレーム単位で読み出して格納した信号をシリアル信号として出力するSAM76を有するマルチポートVRAM14において、RAM75に格納した画像データが、SAM76の両方向にシフト自在とするアップ/ダウンカウンタ等を用いたシリアルアドレスアップ/ダウンカウンタ782からなるシフト手段を具備するものであり、これを請求項5の実施例とすることができる。

【0067】したがって、フレーム単位で順次格納するRAM75に対してアドレス変換手段13で画像データの回転を行ない、また、シフト手段によってマルチポートVRAMの画素単位のシリアル表示データを修正できる。故に、ソフトウェアによるディスプレイ画面の回転を行うことなく、ディスプレイ画面の回転を行うことができ、従来のソフトウェア処理時間を描画サイクルの時間に割り当てることができる。結果として、システムのグラフィック処理の速度を向上させることができる。また、ソフトウェアを何ら変更することなく回転処理することができる。

【0068】

【発明の効果】以上のように、請求項1の表示制御装置は、マルチポートフレームメモリ中のランダムアクセスメモリに書き込む画像データを、前記マルチポートフレームメモリに対するアクセスアドレスをアドレス変換回路で変更することにより、前記画像データを回転させて格納しておき、そのマルチポートフレームメモリからシリアルアクセスメモリを介してディスプレイに順次表示画素データを出力するものである。

【0069】したがって、マルチポートフレームメモリに対するアクセスアドレスをアドレス変換回路で変更することにより、ハードウェアで画面表示方向を容易に変更できる。また、マルチポートフレームメモリに並べ換え用のフレームメモリを用意する必要がないので、装置が廉価となる。更に、ソフトウェアによるディスプレイ画面の回転にかかる処理サイクルをなくすことができるため、その時間を描画サイクルの時間に割り当てることができる。結果として、システムのグラフィック処理

の速度を向上させることができる。また、ソフトウェアを何ら変更することなく回転処理することができる。

【0070】請求項2の表示制御装置は、マルチポートフレームメモリ中のランダムアクセスメモリに書き込む画像データを、前記マルチポートフレームメモリに対するアクセスアドレスをアドレス変換回路で変更することにより、前記画像データを回転させて格納しておき、そのマルチポートフレームメモリからシリアルアクセスメモリを介してディスプレイに順次表示画素データを出力する構成に対して、更に、モード選択回路を付加し、そのモード選択回路によってアドレス変換回路を制御して、複数の回転角度のモードを設定するものである。したがって、請求項1の効果に加えて、例えば、90度の回転、180度の回転、270度の回転等の回転がモードの設定のみで容易になる。

【0071】請求項3の表示制御装置は、請求項1または請求項2に記載のアドレス変換回路で画素の位置を変更するものであり、請求項1の効果に加えて、回転する基準点を任意に設定することができ、マルチポートフレームメモリ上の画素データの並びを意識せずに表示方向を変更することができる。

【0072】請求項4の表示制御装置は、マルチポートフレームメモリを1チップで構成したものであり、請求項1の効果に加えて、小形化及び標準化が可能となる。

【0073】請求項5のマルチポートフレームメモリは、フレーム単位で順次格納するランダムアクセスメモリと、ランダムアクセスメモリからフレーム単位で読み出して格納した信号をシリアル信号として出力するシリアルアクセスメモリを有するマルチポートフレームメモリにおいて、ランダムアクセスメモリに格納した画像データがシリアルアクセスメモリの両方向にシフト自在とするシフト手段を具備するものであるから、フレーム単位で順次格納するランダムアクセスメモリに対してアドレス変換手段で画像データの回転を行ない、また、シフト手段によってマルチポートフレームメモリの画素単位のシリアル表示データを修正できる。更に、ソフトウェアによるディスプレイ画面の回転にかかる処理サイクルをなくすことができるため、その時間を描画サイクルの時間に割り当てることができる。結果として、システムのグラフィック処理の速度を向上させることができる。また、ソフトウェアを何ら変更することなく回転処理することができる。

【図面の簡単な説明】

【図1】図1は本発明の第一実施例の表示制御装置の全体構成を示すブロック図である。

【図2】図2は本発明の第一実施例の表示制御装置で使用するアドレス変換回路の全体構成を示すブロック図である。

【図3】図3は本発明の第一実施例の表示制御装置における6×4ディスプレイの画素配列例を示す説明図であ

る。

【図4】図4は本発明の第一実施例の表示制御装置におけるマルチポートVRAMに格納した画素配列例を示す説明図である。

【図5】図5は本発明の第一実施例の表示制御装置におけるマルチポートVRAMに格納した180度回転した画素配列例を示す説明図である。

【図6】図6は本発明の第一実施例の表示制御装置におけるマルチポートVRAMに格納した左90度回転した画素配列例を示す説明図である。

【図7】図7は本発明の第一実施例の表示制御装置における32ビットバスアクセス時の画素配列例を示す説明図である。

【図8】図8は本発明の第一実施例の表示制御装置における32ビットバスの標準（従来）時の画素配列例を示す説明図である。

【図9】図9は本発明の第一実施例の表示制御装置における32ビットバスの画素配列例を示す説明図である。

【図10】図10は本発明の第一実施例の表示制御装置における32ビットバスの標準（従来）時のディスプレイ画面の表示例を示す説明図である。

【図11】図11は本発明の第一実施例の表示制御装置における32ビットバスの180度回転時のディスプレイ画面の表示例を示す説明図である。

【図12】図12は本発明の第一実施例の表示制御装置における32ビットバスの180度回転アドレス変換のみを行った画素配列例を示す説明図である。

【図13】図13は本発明の第一実施例の表示制御装置における32ビットバスの標準（従来）時のシリアルアクセスのタイミングを示す説明図である。

【図14】図14は本発明の第一実施例の表示制御装置における32ビットバスの180度回転時のシリアルアクセスのタイミングを示す説明図である。

【図15】図15は本発明の第二実施例の表示制御装置で使用するアドレス変換回路の全体構成を示すブロック図である。

【図16】図16は本発明の第三実施例の表示制御装置で使用するマルチポートVRAMの内部回路構成を示すブロック図である。

【図17】図17は従来のマルチポートVRAMを使用した表示制御装置の構成を示す全体ブロック図である。

【図18】図18は従来のマルチポートVRAMの内部回路構成を示すブロック図である。

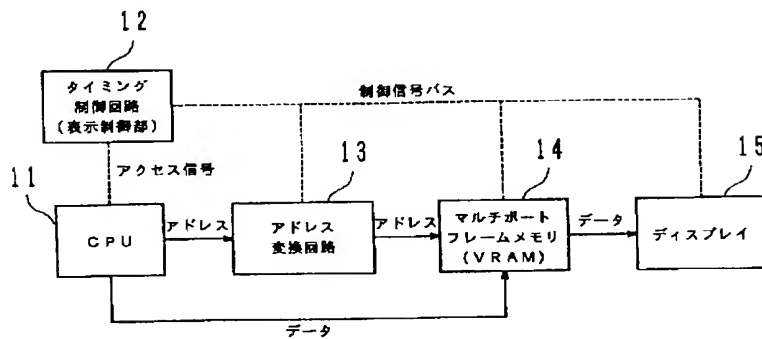
【符号の説明】

- 11 マイクロコンピュータ（CPU）
- 12 タイミング制御回路
- 13 アドレス変換回路
- 14 マルチポートフレームメモリ（マルチポートVRAM）
- 15 ディスプレイ

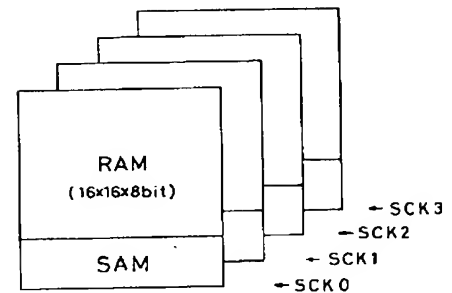
- 13
- 3 1 1 スクリーンリフレッシュ用カウンタ
- 3 1 2 スクリーンリフレッシュ用カウンタ
- 3 2 ロー用引き数レジスタ
- 3 3 ロー用アドレス引き算回路
- 3 4 ロー用セクタ
- 3 5 カラム用引き数レジスタ
- 3 6 カラム用アドレス引き算回路
- 3 7 カラム用セクタ
- 3 8 モード選択回路

- 14
- 3 9 アドレス出力用セクタ
- 7 3 カラムデコーダ
- 7 4 ローデコーダ
- 7 5 ランダムアクセスメモリ (RAM)
- 7 6 シリアルアクセスメモリ (SAM)
- 7 7 シリアルセクタ
- 7 8 1 シリアルアドレスアップカウンタ
- 7 8 2 シリアルアドレスアップ/ダウンカウンタ

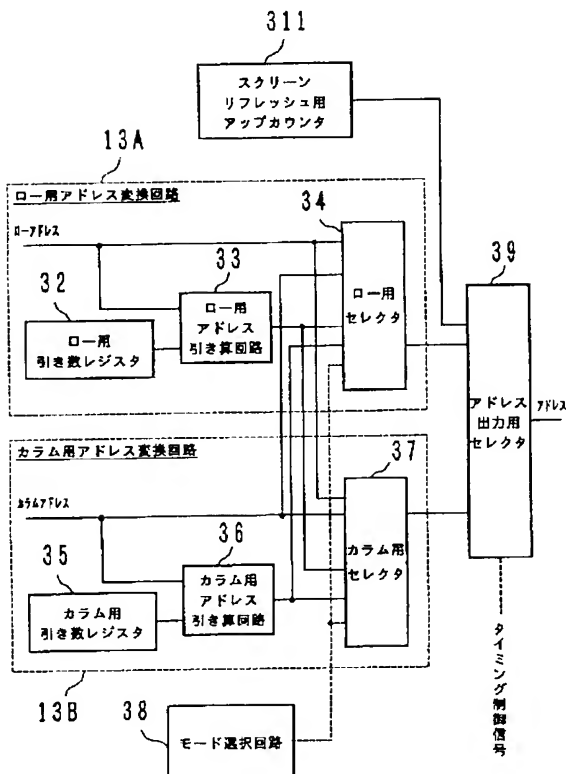
【図 1】



【図 7】



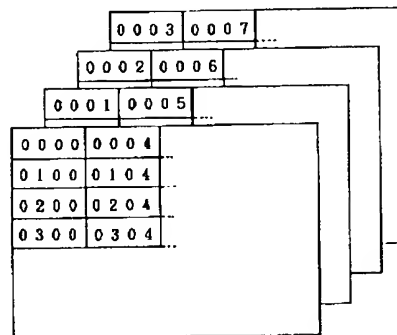
【図 2】



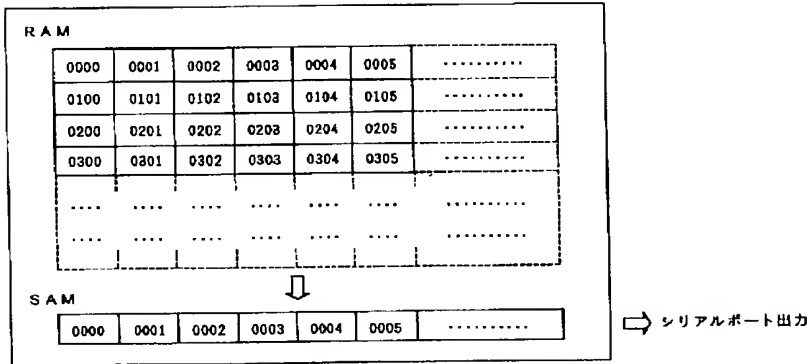
【図 3】

0000	0001	0002	0003	0004	0005
0100	0101	0102	0103	0104	0105
0200	0201	0202	0203	0204	0205
0300	0301	0302	0303	0304	0305

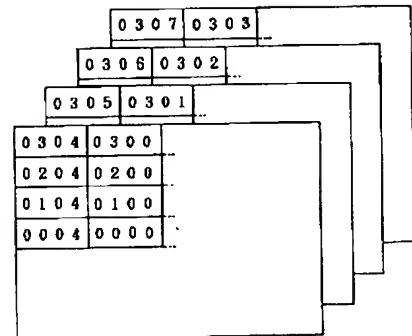
【図 8】



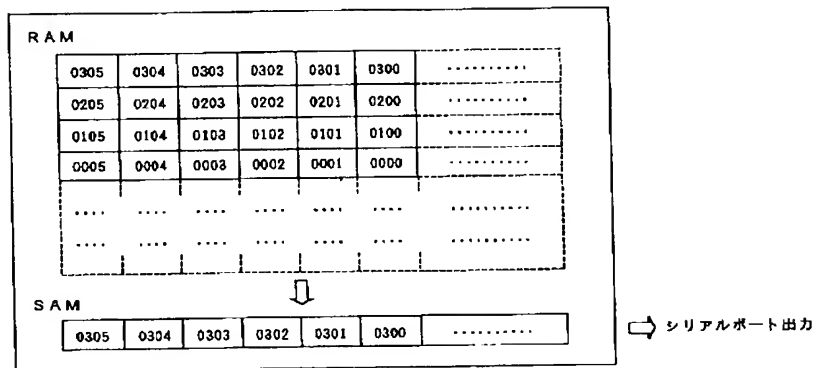
【図4】



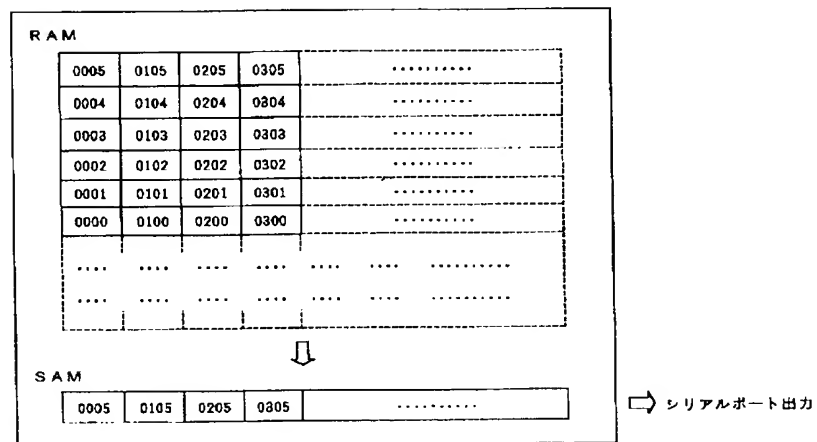
【図9】



【図5】



【図6】



【図 10】

0000	0001	0002	0003	0004	0005	0006	0007
0100	0101	0102	0103	0104	0105	0106	0107
0200	0201	0202	0203	0204	0205	0206	0207
0300	0301	0302	0303	0304	0305	0306	0307

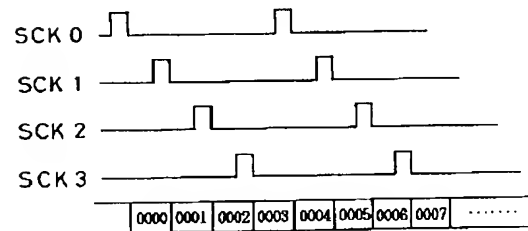
【図 11】

0307	0306	0305	0304	0303	0302	0301	0300
0207	0206	0205	0204	0203	0202	0201	0200
0107	0106	0105	0104	0103	0102	0101	0100
0007	0006	0005	0004	0003	0002	0001	0000

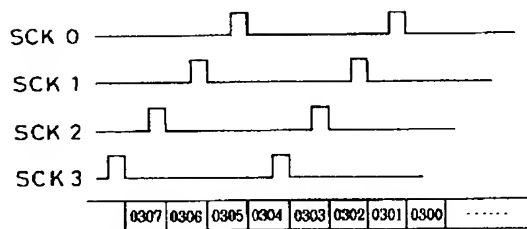
【図 12】

0304	0305	0306	0307	0300	0301	0302	0303
0204	0205	0206	0207	0200	0201	0202	0203
0104	0105	0106	0107	0100	0101	0102	0103
0004	0005	0006	0007	0000	0001	0002	0003

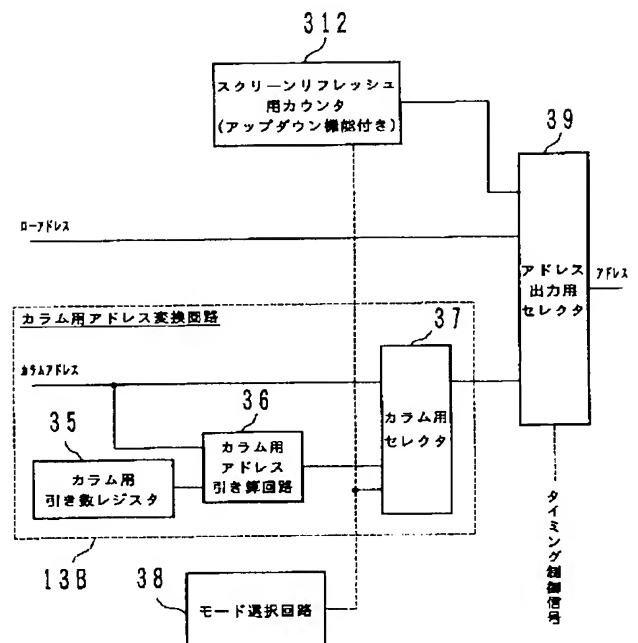
【図 13】



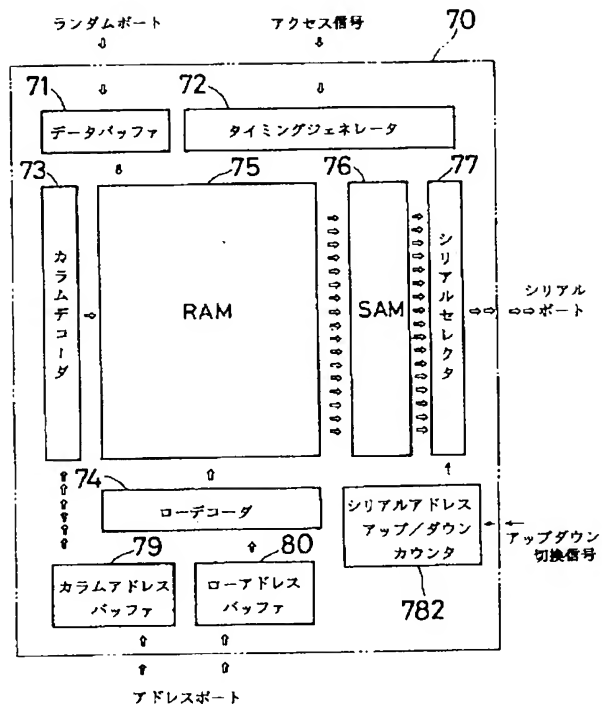
【図 14】



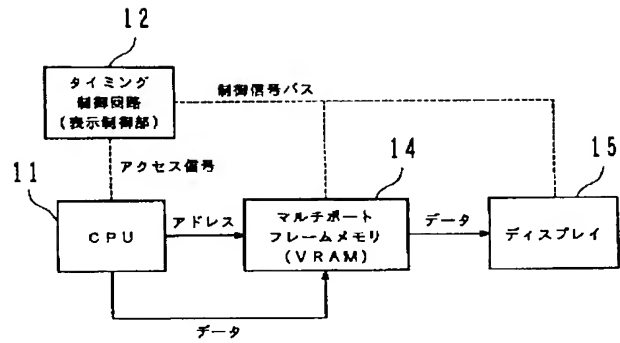
【図 15】



【図 16】



【図 17】



【図 18】

